

# 基于 ispLSI 器件的 DRAM 控制器的设计(二)

魏仲慧 曾晓洋

(中国科学院长春光学精密机械研究所光学工程中心 长春 130022)

**摘要** 以 DRAM 控制器的设计为例,介绍了在系统可编程技术。基于美国 Lattice 半导体公司的 ispLSI 器件,提出了 DRAM 控制器的设计方法,并利用 ISP Synario System 软件对系统进行了仿真。

**关键词** DRAM 控制器 在系统可编程(ISP)

## 1 引言

随着我国航空航天事业的飞速发展,大容量数字图象存贮技术一直是人们致力探索和研究的重点领域。特别是近年来,半导体固态存贮技术在众多的图象存贮方法中脱颖而出,其中动态随机存贮器(DRAM)以其集成度高、功耗低、速度快等特性受到越来越多的青睐。

但是,由于 DRAM 本身存在一些特殊性,使得其控制要比其他的半导体存贮器复杂得多。例如:

(1) 由于 DRAM 依靠分布电容贮存电荷的多少来保存信息,因此需要对其存贮单元的内容进行周期性的刷新;

(2) 为了提高集成度,减少引脚的封装数,DRAM 的地址线采用行列地址复用的形式,然后分别利用行地址选通脉冲信号和列地址选通脉冲信号来实现地址的两次打入;

(3) 为了保证 DRAM 存贮器的工作性能稳定可靠,需要设计初始化逻辑以实现系统初始化;

(4) 设计合理的仲裁逻辑;

在以往设计的 DRAM 控制器中,通常采用逻辑电路和简单的 PLD 器计,用这种方法设计的电路,不仅结构庞大,还容易受到外界干扰,从而导致整个系统工作不正常。随着在系统可编程技术的问世以及 EDA 工具的不断发展,设计集成度高抗干扰能力强的 DRAM 控制器已成为可能,除此之外,其独到的仿真功能使我们抛开了传统的设计模式,实现了设计和实验在微机上就能完成的设想。

## 2 在系统可编程技术简介

### 2.1 ISP 技术以及 ISP 器件

在系统可编程(In-System Programmability 缩写为 ISP)是指在用户自己设计的目标系统中或电路板上为重构逻辑而对逻辑器件进行编程或反复改写的能力。这种重构即可以在产品制造之前,又可以在制造过程中,甚至可以在产品交付用户之后。因此,ISP 是可编程逻辑器件领域的一种最先进的硬件技术。

ISP 打破了传统可编程逻辑器件(PLD)的局限,使得硬件设计变得象软件一样易于修改,从而缩短了系统的调试周期,而且不需要编程器,更不需要编程高压。另外,ISP 能够使得人们在器件已经焊在电路板上的情况下对系统进行重构。

Lattice 半导体公司的 ispLSI 系列器件是将 ISP 技术与高性能高密度 pLSI 结构相结合的产物。它既有可编程逻辑器(PLD)的性能,又有现场可编程逻辑阵列(FPGA)的高密度和灵活性,其系统速度可达135MHz,逻辑集成密度可达1000至14000门。

ispLSI 器件分为三大系列:ispLSI 1000为基本系列,适用于高速编码、总线管理、DMA 控制等;ispLSI 2000系列为高速系列,I/O 端口数量较多,适用于高数计数定时、RISC/CISC 微处理器的接口;ispLSI 3000系列的集成密度高,能够容纳规模较大的逻辑系统,适用于信号处理、图形处理、数据加密、解密与压缩等。

在 ispLSI 器件的内部,包含了多个所谓“万能逻辑块”(GLB)的结构,这些 GLB 的结构设计得能够最大限度地提高器件的灵活性和性能。同时还有多个寄存器和 I/O 单元,用来构成内部逻辑和外部连接。此外,还有一个集总布线区(GRP)将各部位联系起来,从而大大提高了片内资源的利用率。

### 2.2 ISP 设计套件

Lattice 半导体公司率先开发了 ISP 技术并设计了相应的配套软件 ISP Synario System,从而使得 ISP 技术发展成为一种实用技术。ISP Synario System 是一套完整的逻辑设计系统,它包括 Synario、Pds+ Synario Fitter、ispGDS 编译软件、ispCODE 软件和用于在系统编程的菊花链烧写软件(ISP Daisy Chain Download),它能够支持 Lattice ISP 器件的设计、编译和逻辑模拟,能够进行原理图输入和 ABEL 硬件描述语言(HDL)输入,并且还提供了功能模拟器和波形显示器。ISP Synario System 的混合式设计输入方式允许在同一器件的设计中同时采用原理图、高级语言、真值表和状态机输入方式,从而简化了设计输入。

### 2.3 ISP 器件编程

ispLSI 器件共有两种工作模式:正常工作模式与编程模式。其控制是由在系统编程使能信号 ispEN 实现的。

ISP 器件的编程采用串行的菊花链结构形式,编程接口如图1所示。

在五个编程控制信号中,ispEN 信

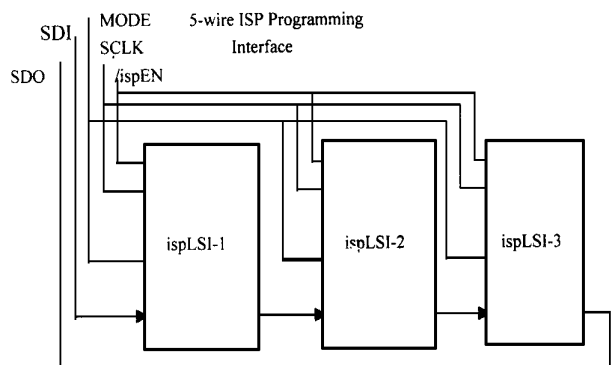


Fig. 1 ISP programming interface

号用来使能或取消其它四个编程控制信号, 这四个信号是: 数据串入信号 SDI、模式控制信号 MODE、数据串出信号 SDO 和串行时钟信号 SCLK。在 SCLK 的作用下, 来自 JEDEC 文件的编程信息通过 SDI 端串行地移入器件, 同时通过 SDO 端移出。IspEN 信号用来控制 SDI、SDO、SCLK 和 MODE 引脚功能的切换。当器件处于正常工作模式时, 这四个引脚可以用做普通输入端。

### 3 基于 ispLSI 的 DRAM 控制器的设计与仿真

DRAM 控制器是图象存储器的控制中枢, 它控制并实现对 DRAM 初始化; 产生 DRAM 存储器工作时所需要的各种时序信号; 控制地址多路器产生 DRAM 存储器所需的行地址和列地址; 控制刷新定时器对 DRAM 存储器进行定时刷新; 控制仲裁逻辑以决定对 DRAM 存储器进行读写操作还是刷新操作。由此可见, DRAM 控制器设计的好坏是决定整个系统能否正常工作的关键。

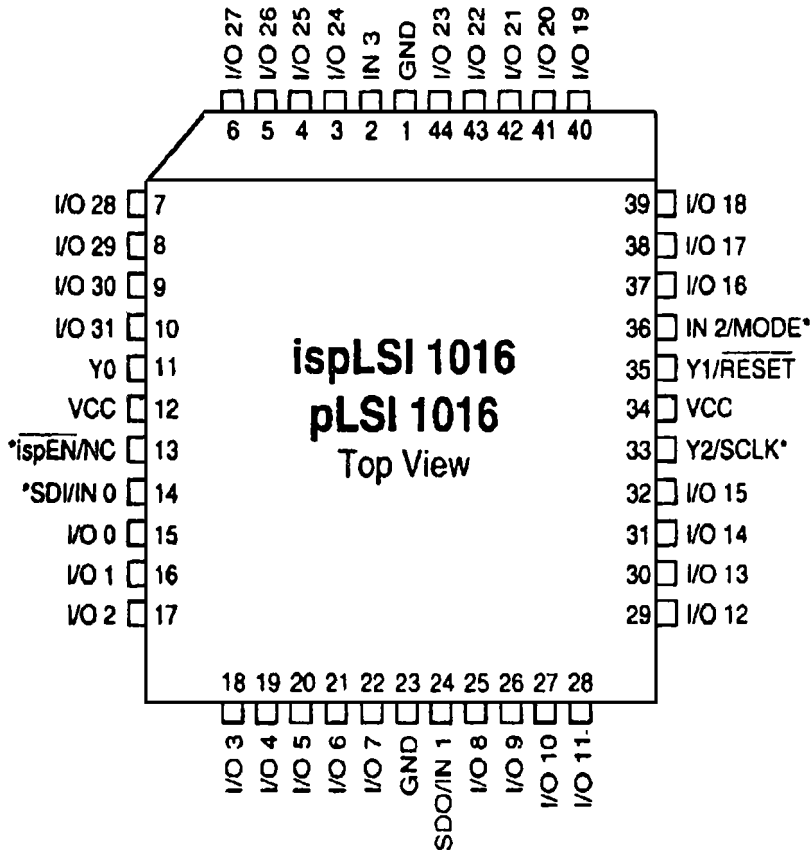


Fig. 2 ispLSI 1016 pinout diagram

我们以 Lattice ispLSI 1016 器件为例来设计 DRAM 控制器。

ispLSI 1016 是一种高密度的可编程逻辑器件(简称 HDPLD), 它包含 64 个可编程宏逻辑单元, 每个宏逻辑单元既可以定义成组合逻辑, 又可以定义成时序逻辑。有 2000 个等效逻辑门,

32个通用 I/O 单元能定义成输入、输出、三态或双向端口, 另外还有3个专用的时钟输入端和4个直通输入端, 其封装形式为44脚 PLCC 或 TQFP, 工作频率为60 ~ 110MHZ。ispLSI 1016器件引脚如图2所示。

ispLSI 1016中的逻辑功能是靠其内部的通用逻辑( Generic Logic Block 简称 GLB) 实现的, 每个 GLB 有18个输入端, 它们通过逻辑与阵列后最多可产生20个乘积项, 这20 个乘积项又靠乘积项共享阵列分配到4个输出宏逻辑单元, ispLSI 1016有16个 GLB, 它们之间通过可编程的集总布线区( GRP) 连接在一起, 从而可在单个芯片中构成多级逻辑网络, 同时, 为便于再引脚锁定或不允许改变引脚的情况下改变片内逻辑, 还设有输出布线区( ORP) 来增加片内布线的灵活性。ispLSI 1016器件的功能方块图如图3所示。

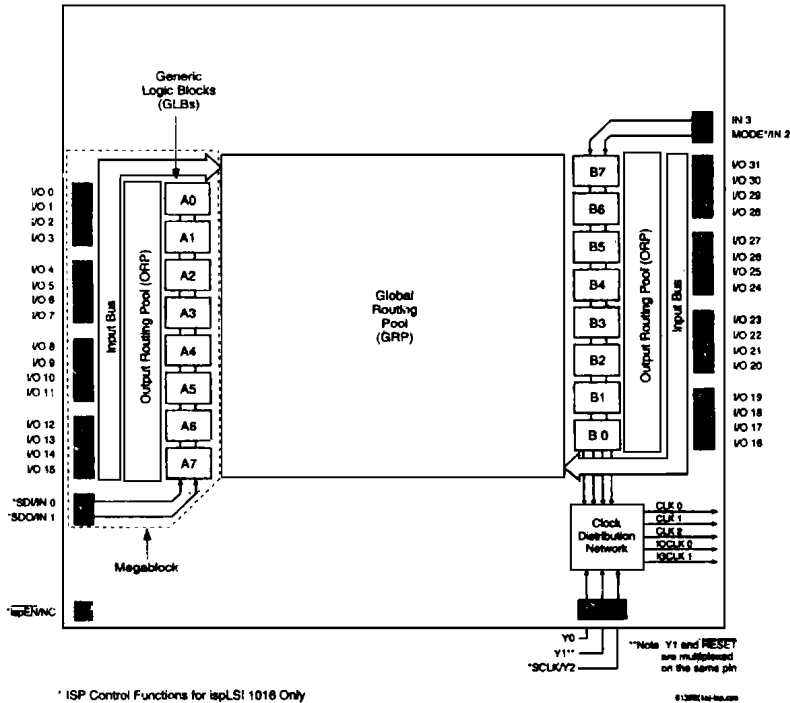


Fig. 3 ispLSI 1016 functional block diagram

设计输入采用原理图和 ABEL 硬件描述语言( ABEL Hardware Describe Language——ABEL- HDL) 混合方式, 原理如图4所示。

图中的输入信号为: CLK、START、CPU-RW、CCDW、SEND、SL、ALE、MCS、I-EF、MW、PS0、PS1、PS2、BS0、BS1、HL16; 输出信号为: MA0、MA1、MA2、MA3、MA4、REFR、WE、R771F、R11F、RAS、CAS、CASR; I-22、I-23、I-28、I-38、I-40和 I-42为 ABEL-HDL 描述的模块。

设计输入完成后, 需要对所产生的原理图进行编译, 编译通过后, 可进行片内布局和布线, 从而产生熔丝图文件, 最后, 对器件进行编程, 通过一根特制的电缆将熔丝图文件传送到器件中。

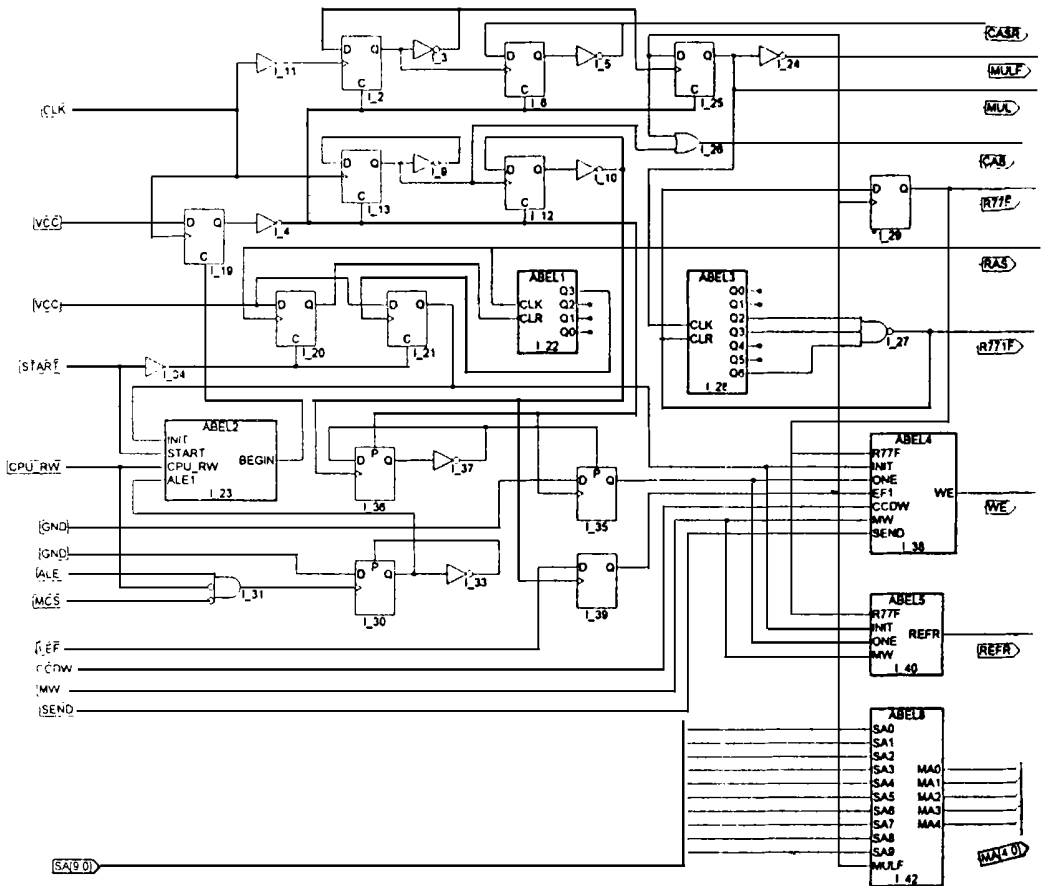


Fig. 4 Structure diagram of the DRAM controller

在设计过程中,可以同时对所输入的部分进行功能仿真,以便验证已经输入的部分的正确性,发现设计中的错误和不合理的地方及时进行修改。功能仿真的结果表明,用 ispLSI 1016设计的 DRAM 控制器符合设计要求,产生的信号逻辑关系正确。几个主要信号的波形如图5所示。

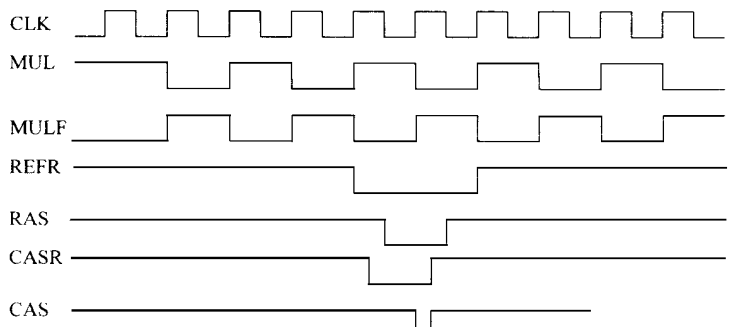


Fig. 5 Timing sequence

## 4 结 论

采用 ispLSI 器件设计

DRAM 控制器,使得电路由原来的用十几片 GAL16V8和 D 触发器变成只用一片 ispLSI 1016,从而使电路大为简化,抗干扰能力大为增强;同时也使设计与调试周期缩短了许多,为大容量存贮器的应用开拓了更加广阔的前景。

### 参 考 文 献

- 1 Lattice Semiconductor Corp. Lattice Semiconductor DATA Book. 1996
- 2 刘仁普译. MOTOROLA 动态存贮器手册. 北京:机械工业出版社, 1995
- 3 甘登岱等编. 硬件及接口技术. 北京:航空工业出版社, 1992

## The Design of DRAM Controller Based on ispLSI Devices (2)

WEI Zhong-Hui, ZENG Xiao-Yang

( Changchun Institute of Optics and Fine Mechanics,  
Chinese Academy of Sciences. Changchun 130022)

### Abstract

In this paper, we introduce the ISP ( In-System Programmability ) by example of the DRAM controller design. We present the design method of DRAM controller based on the ispLSI devices of Lattice Semiconductor Corporation. Through the Verilog Simulator of ISP Synario System, we simulate the DRAM controller system.

**Key words:** DRAM controller, In-System Programmability (ISP)

魏仲慧 女, 1983年毕业于吉林工业大学电子工程系, 现为副研究员, 主要从事图像数据处理方面的研究工作。